

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-009572

(43)Date of publication of application : 17.01.1991

(51)Int.Cl.

H01L 29/788

H01L 27/115

H01L 29/792

(21)Application number : 01-146351

(71)Applicant : NEC CORP

(22)Date of filing : 07.06.1989

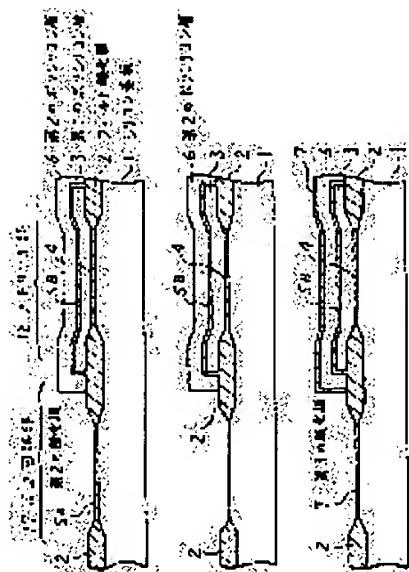
(72)Inventor : INOUE TATSURO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To increase the operating current of a transistor for peripheral circuit use by a method wherein the gate oxide film of the transistor for peripheral circuit use is made thin at a low temperature.

**CONSTITUTION:** A field oxide film 2 is formed on the surface of a silicon substrate 1 and a first polycrystalline silicon layer 3 (a floating gate) is formed at a memory cell part 18 and is patterned. A first oxide film 4 on a gate part of a transistor of a peripheral circuit part 17 is removed, then, a second oxide film 5B is formed on the layer 3. A second polycrystalline silicon layer 6 is formed at the part 18 and a third oxide film 7 is formed at the part 17. That is, as the film 7 of the part 17 and the film 5B on the floating gate of the part 18 are respectively formed by different processes, the temperature of oxidation most suitable for the respective processes can be chosen and the respective film thicknesses of the films 7 and 5B can be formed into the optimum film thickness. Thereby, the operating current of the transistor of the part 17 can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

In the conventional art, since a gate oxide film 5A of a peripheral circuit portion 17 and a gate oxide film 5B of a memory cell portion 18 are simultaneously formed (at the same temperature and for the same time), each thickness can not be controlled independently.

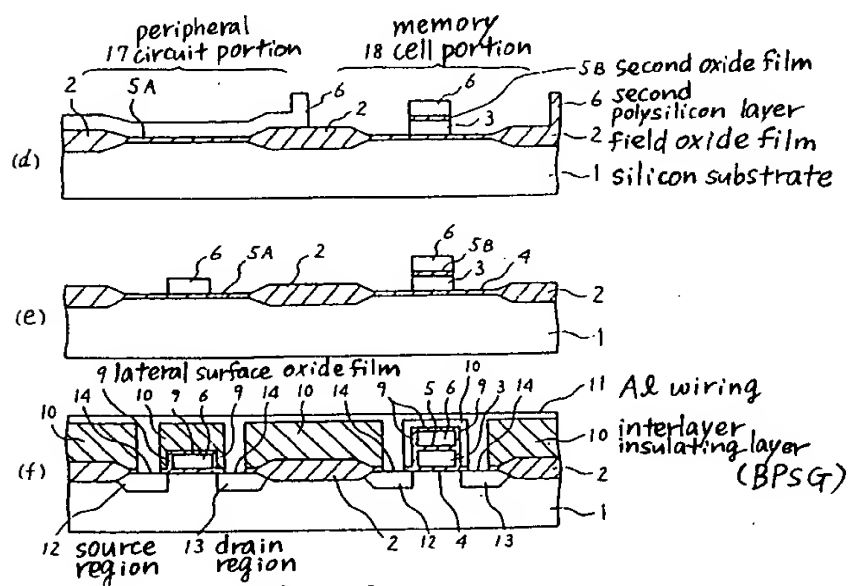
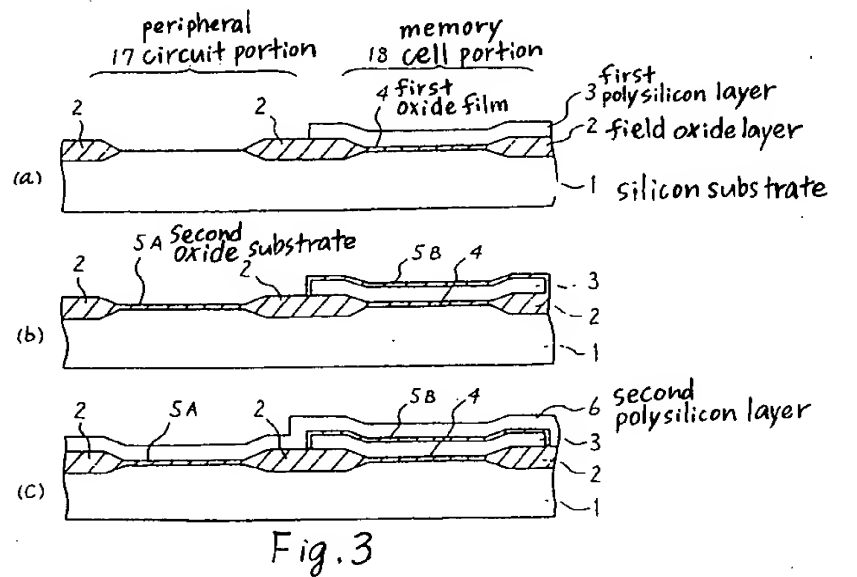


Fig. 3

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-9572

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月17日

H 01 L 29/788  
27/115  
29/792

7514-5F H 01 L 29/78 3 7 1  
8624-5F 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-146351

⑰ 出 願 平1(1989)6月7日

⑱ 発 明 者 井 上 達 朗 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

メモリセル・トランジスタと、周辺回路用トランジスタとを同一回路に形成する二層ポリシリコン構造の半導体装置の製造方法において、シリコン基板表面にフィールド酸化膜を形成してから第1の酸化膜を形成する工程と、メモリセル部に第1のポリシリコン層を形成してからパターニングする工程と、周辺回路用トランジスタのゲート部分の第1の酸化膜を除去する工程と、前記第1のポリシリコン層上に第2の酸化膜を形成する工程と、メモリセル部に第2のポリシリコン層を形成する工程と、周辺回路トランジスタ部に第3の酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特にフローティングゲートを有する不揮発性メモリの製造方法に関する。

(従来技術)

従来は製造方法について、第3図を用いて、工程順に説明する。

まずシリコン基板1の表面にフィールド酸化膜2と第1の酸化膜4とを既知の方法で形成し、メモリセル部18をパターニングした第1のポリシリコン層(フローティングゲート)3を形成したのちに、周辺回路部17の第1の酸化膜4(図示せず)を除去して、メモリセル部18の第1の酸化膜4を残すことにより、第3図(a)に示す構造を得る。

そのあと第3図(b)に示すように、既知の方法で第2の酸化膜5A、5Bを形成する。

つづいて第3図(c)に示すように、第2のポリシリコン層6を形成する。

ひきつづいて第3図(d)に示すように、メモリセル部18をパターニングし、ゲート部分のみを残す。

さらに第3図(e)に示すように、周辺回路部17のパターニングを行ない、ゲート部を残す。

最後に側面酸化膜9を形成し、周辺回路部17とメモリセル部18のソース領域12とドレイン領域13とを形成し、層間絶縁膜層(BPSG)10を堆積させ、配線コンタクト14を設けてA<sub>2</sub>配線11を形成し完成する(第3図(f))。  
〔発明が解決しようとする課題〕

従来の製造方法では、周辺回路部17のゲート酸化膜5Aとメモリセル部18のゲート酸化膜5Bとを同時に(同一温度、同一時間で)形成していたため、独立して膜厚を制御することができなかった。

ポリシリコン層3の上に形成される酸化膜5Bは、シリコン基板1の上に形成される酸化膜5Aよりも、耐圧が低いということが知られている。  
メモリセル部18のトランジスタの耐圧が低く

なるのを防止するため、第2の酸化膜5Bの膜厚を厚くすると、周辺回路部17のトランジスタの動作電流が低くなるということが避けられなかった。

さらにポリシリコン層3上の酸化膜5Bの耐圧は高温で酸化すると改善されるが、高温の酸化では酸化膜の成長速度が速過ぎるために、シリコン基板1の上に酸化膜5Aを形成する際に、膜厚を正確に制御することができない。

本発明の目的は、メモリセル部のフローティングゲート上の酸化膜と周辺回路部のトランジスタのゲート酸化膜とを、それぞれ所望の厚さに制御できる半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、シリコン基板の表面にフィールド酸化膜を形成し、メモリセル部に第1のポリシリコン層(フローティングゲート)を形成しパターニングする工程と、周辺回路部のトランジスタのゲート部分の第1の酸化

膜を除去する工程と、前記第1のポリシリコン層の上に第2の酸化膜を形成する工程と、メモリセル部に第2のポリシリコン層と、周辺回路部に第3の酸化膜を形成する工程とを含んで構成される。

〔実施例〕

本発明の第1の実施例について、第1図を参照して説明する。

本実施例においては、まず従来と同様の工程によって、第3図(c)に示す構造を得る。

つづいて周辺回路部17の第2のポリシリコン層6を除去して、メモリセル部18に第2のポリシリコン層(コントロールゲート)6を残す(第1図(a))。

さらに第1図(b)に示すように、周辺回路部17の第2の酸化膜5Aを除去し、第1図(c)に示すように、900℃のスチーム雰囲気中で第3の酸化膜7を250Å形成する。

このようにして周辺回路部17とメモリセル部18とに、それぞれ所望の膜厚の第3の酸化膜7

と第2の酸化膜5Bとをそれぞれ形成することができる。

それから第1図(d)に示すように周辺回路部17のトランジスタを形成する部分にパターニングしたゲートポリシリコン層8を形成してから、第1図(e)のようにメモリセル部18をパターニングする。

最後に第1図(f)に示すように酸化を行ない、側面酸化膜9を形成してから、周辺回路17のトランジスタとメモリセル部18のソース領域12とドレイン領域13とを形成し、層間絶縁膜層(BPSG)10を堆積させ、配線コンタクト14を設けて、A<sub>2</sub>配線11を施し完成する。

本実施例の特徴は、周辺回路部17の酸化膜7とメモリセル部18のフローティングゲート上の酸化膜5Bとを、別工程で形成することにある。

本実施例の効果は、第1にそれぞれの工程に最も適した酸化温度を選べるということである。

第2にそれぞれの膜厚を最適なものにすることができることである。

さらに本発明の第2の実施例について、第2図を参照して説明する。

周辺回路部17とメモリセル部18とに、所望の第3の酸化膜7と第2の酸化膜5Bとを形成するところまでは、第1図(c)までと同様である。

第1図(c)の工程のあと、第2図(a)に示すように周辺回路部17にゲートポリシリコン層15を形成してから、タングステンなどのシリサイド層16を周辺回路部17とメモリセル部18との上に形成する。

つづいて第2図(b)に示すように周辺回路部17のゲートをパターニングする。

ひきつづいて第2図(c)に示すようにメモリセル部のゲートをパターニングする。

その結果、各ゲート電極上にはシリサイド層16が形成される。シリサイドは電気抵抗がポリシリコンよりも低いということが知られているので、ゲート電極の層抵抗を下げることができる。

ここでも、周辺回路部17の酸化膜7とメモリ

セル部18のフローティングゲート3の上の酸化膜5Bとがそれぞれ別工程で形成されている。

(発明の効果)

本発明によればつぎの効果がある。

- (1) 低い温度で周辺回路用トランジスタのゲート酸化膜を薄くすることにより、周辺回路用トランジスタの動作電流を高くすることができる。
- (2) 高い温度でメモリセル部のフローティングゲート上の酸化膜を所望の厚さにすることができることにより、十分な耐圧をもつ優れた不揮発性半導体メモリを得ることができる。

#### 図面の簡単な説明

第1図(a)～(f)は本発明の第1の実施例を工程順に示す断面図、第2図(a)～(c)は本発明の第2の実施例を工程順に示す断面図、第3図(a)～(f)は従来の半導体不揮発性メモリの製造方法を工程順に示す断面図である。

1…シリコン基板(ウェーハ)、2…フィールド酸化膜( $\text{SiO}_2$ )、3…第1のポリシリコン

層(フローティングゲート)、4…第1の酸化膜、5A、5B…第2の酸化膜、6…第2のポリシリコン層(コントロールゲート)、7…第3の酸化膜、8…ゲートポリシリコン層、9…側面酸化膜、10…層間絶縁膜層(BPSG)、11…A $\ell$ 配線、12…ソース領域、13…ドレイン領域、14…配線コンタクト、15…ゲートポリシリコン層、16…シリサイド層、17…周辺回路部、18…メモリセル部。

代理人 弁理士 内 原 晋

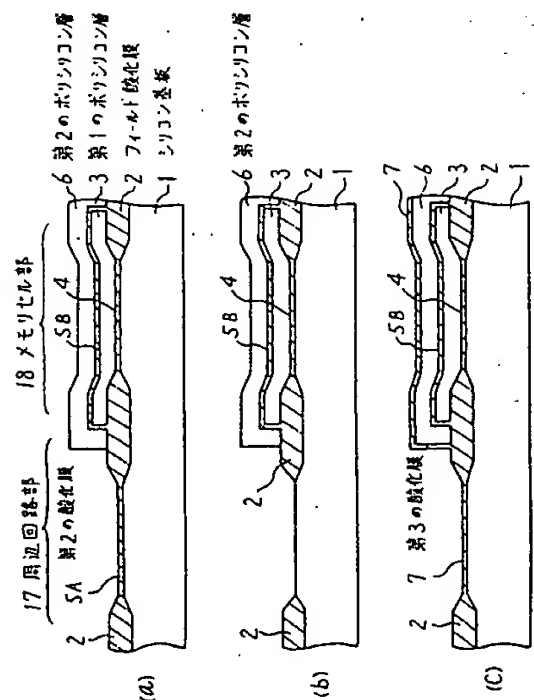
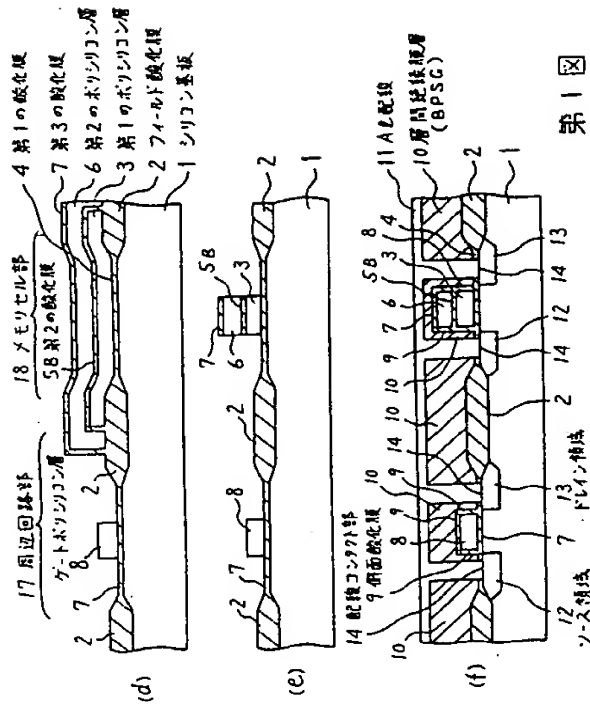
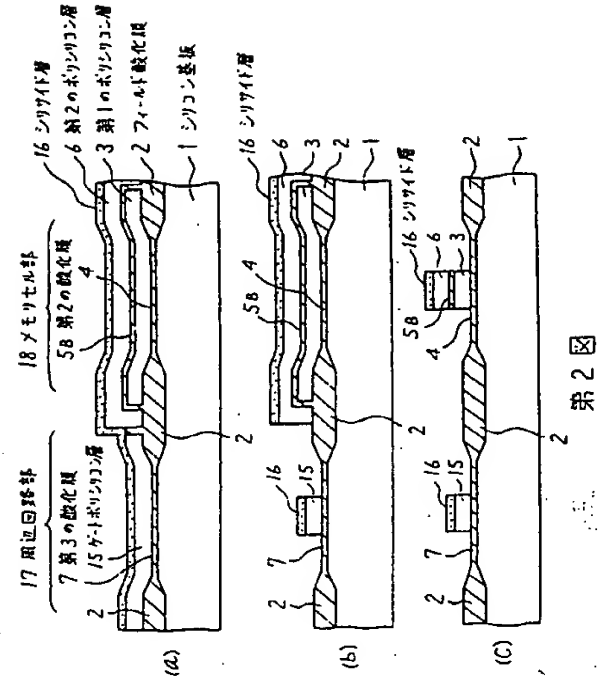


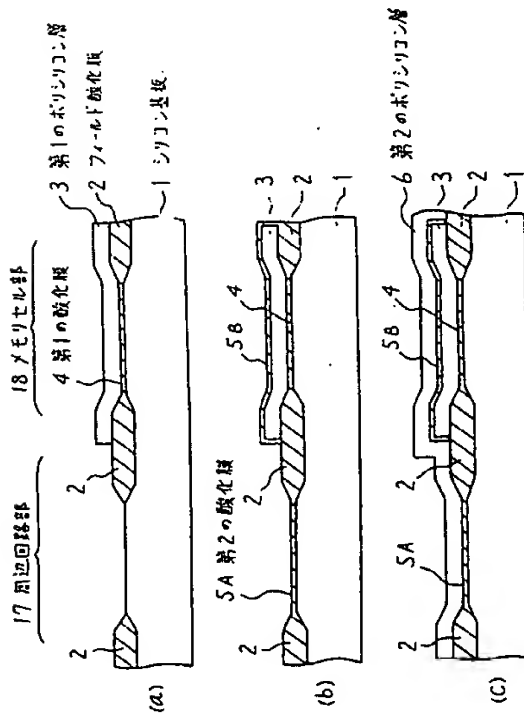
図1 第2



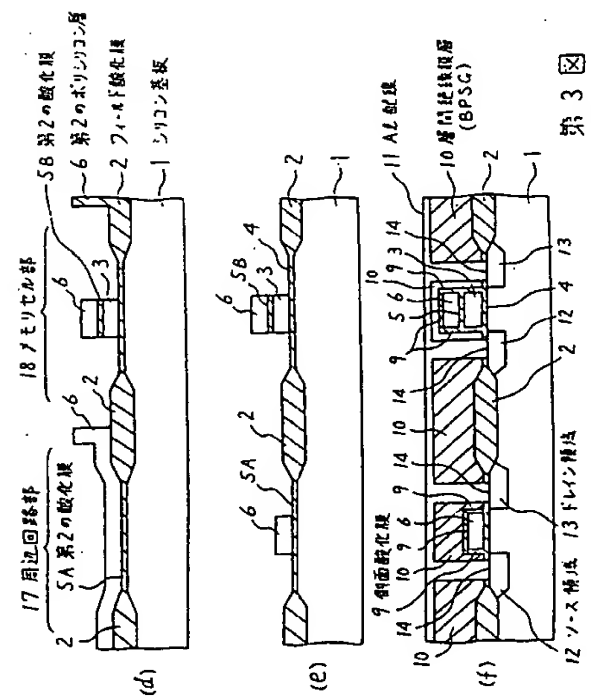
第 1 図



第 2 図



第 3 図



第 3 図